

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-312971  
 (43)Date of publication of application : 24.11.1998

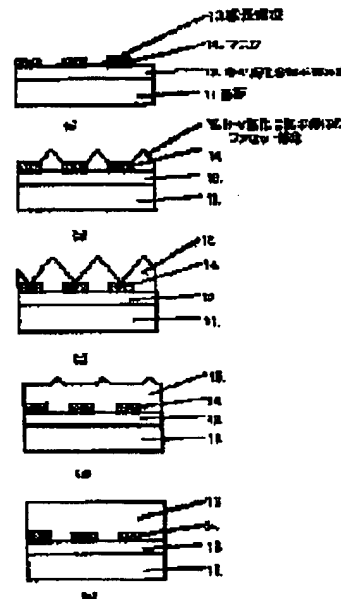
(51)Int.Cl. H01L 21/205  
 C30B 29/40  
 H01L 33/00

(21)Application number : 10-062760 (71)Applicant : NEC CORP  
 (22)Date of filing : 13.03.1998 (72)Inventor : SUNAKAWA HARUO  
 USUI AKIRA

(30)Priority  
 Priority number : 09 59076 Priority date 13.03.1997 Priority country : JP

(54) III-V COMPOUND SEMICONDUCTOR FILM AND GROWTH METHOD, GAN SYSTEM SEMICONDUCTOR FILM AND ITS FORMATION, GAN SYSTEM SEMICONDUCTOR STACKED STRUCTURE AND ITS FORMATION, AND GAN SYSTEM SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:  
**PROBLEM TO BE SOLVED:** To suppress the introduction of defects by suppressing cracks generated by difference in the thermal expansion coefficients between a growing III-V comp. semiconductor layer and a substrate crystal, and a difference in grid constants.  
**SOLUTION:** Through the use of a substrate limiting a growing region 13 by a mask 14, the facet structure of a III-V comp. semiconductor film 15 is formed (b) by epitaxial growth, for growing (c) the facet structure to cover the mask 14. In addition, the facet structure is completely embedded (d). A III-V comp. semiconductor layer with a flat surface is finally formed (e).



### LEGAL STATUS

[Date of request for examination] 13.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3139445

[Date of registration] 15.12.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-312971**

(43)Date of publication of application : **24.11.1998**

(51)Int.Cl. H01L 21/205  
C30B 29/40  
H01L 33/00

(21)Application number : **10-062760**

(71)Applicant : **NEC CORP**

(22)Date of filing : **13.03.1998**

(72)Inventor : **SUNAKAWA HARUO**  
**USUI AKIRA**

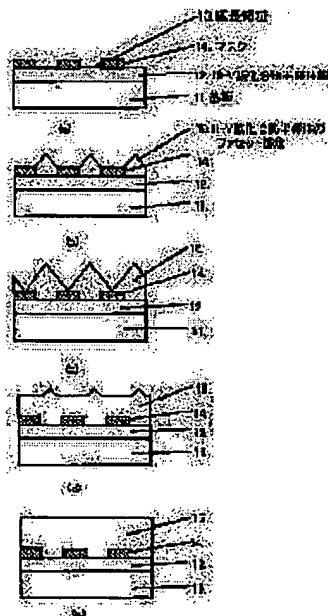
(30)Priority

Priority number : **09 59076** ???Priority date : **13.03.1997** ???Priority country : **JP**

**(54) III-V COMPOUND SEMICONDUCTOR FILM AND GROWTH METHOD, GAN SYSTEM SEMICONDUCTOR FILM AND ITS FORMATION, GAN SYSTEM SEMICONDUCTOR STACKED STRUCTURE AND ITS FORMATION, AND GAN SYSTEM SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the introduction of defects by suppressing cracks generated by difference in the thermal expansion coefficients between a growing III-V comp. semiconductor layer and a substrate crystal, and a difference in grid constants. **SOLUTION:** Through the use of a substrate limiting a growing region 13 by a mask 14, the facet structure of a III-V comp. semiconductor film 15 is formed (b) by epitaxial growth, for growing (c) the facet structure to cover the mask 14. In addition, the facet structure is completely embedded (d). A III-V comp. semiconductor layer with a flat surface is finally formed (e).



### LEGAL STATUS

[Date of request for examination] 13.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]  
[Patent number] 3139445  
[Date of registration] 15.12.2000  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-312971

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl. <sup>9</sup>	識別記号	F I	
H 0 1 L 21/205		H 0 1 L 21/205	
C 3 0 B 29/40		C 3 0 B 29/40	D
H 0 1 L 33/00		H 0 1 L 33/00	C

審査請求 有 請求項の数31 OL (全 15 頁)

(21)出願番号	特願平10-62760	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成10年(1998)3月13日	(72)発明者	砂川 晴夫 東京都港区芝五丁目7番1号 日本電気株式会社内
(31)優先権主張番号	特願平9-59076	(72)発明者	碓井 彰 東京都港区芝五丁目7番1号 日本電気株式会社内
(32)優先日	平9(1997)3月13日	(74)代理人	弁理士 京本 直樹 (外2名)
(33)優先権主張国	日本 (J P)		

(54) 【発明の名称】 III-V族化合物半導体膜とその成長方法、Ga N系半導体膜とその形成方法、Ga N系半導体積層構造とその形成方法、Ga N系半導体素子とその製造方法

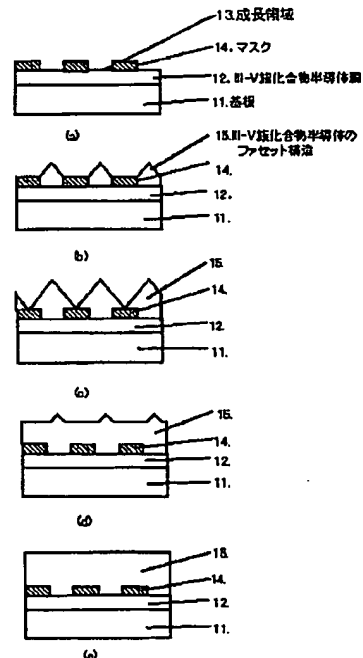
(57) 【要約】

【課題】 成長するIII-V族化合物半導体層と基板結晶の熱膨張係数差、および格子定数差によって生じるクラックを抑え、欠陥の導入を抑制する。

【解決手段】 マスク14により成長領域13を制限した基板を用いて、エピタキシャル成長によりIII-V族化合物半導体膜15のファセット構造を形成し

(b)、マスク14を覆うまでファセット構造を発達させる(c)。さらに、ファセット構造を完全に埋め込む

(d)。最終的に平坦な表面を有するIII-V族化合物半導体成長層を形成する(e)。



## 【特許請求の範囲】

【請求項1】 III-V族化合物半導体のエピタキシャル成長において、基板表面にパターニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なる III-V族化合物半導体を成長する工程と、前記成長領域で前記 III-V族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域の III-V族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴する III-V族化合物半導体の成長方法。

【請求項2】 III-V族化合物半導体のエピタキシャル成長において、基板表面にパターニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なる III-V族化合物半導体を成長する工程と、前記成長領域で前記 III-V族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域の III-V族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程と、前記平坦化された表面に前記各工程を繰り返すことを特徴とする III-V族化合物半導体の成長方法。

【請求項3】 前記基板表面に、前記成長領域に成長する III-V族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有する III-V族化合物半導体を形成した後に、前記パターニングされたマスク材料により形成された成長領域を形成することを特徴とする請求項1又は2記載の III-V族化合物半導体の成長方法。

【請求項4】 前記マスク材料を用いて形成する成長領域がストライプ形状、矩形形状、丸状、又は三角形であることを特徴とする請求項1、2又は3記載の III-V族化合物半導体の成長方法。

【請求項5】 前記マスクの形状がストライプ形状であって、前記ファセット構造の側壁が {1-101} 面であることを特徴とする請求項4記載の III-V族化合物半導体の成長方法。

【請求項6】 前記マスクの形状がストライプ形状であって、ストライプ方向が <11-20> 方向または <1-100> 方向であることを特徴とする請求項4記載の III-V族化合物半導体の成長方法。

【請求項7】 前記基板は、MgAl<sub>2</sub>O<sub>4</sub> 基板、Si基板、ZnO基板、SiC基板、LiGaO<sub>2</sub> 基板、Al<sub>2</sub>O<sub>3</sub> 基板のいずれか1つから選択され、前記 III-V族化合物半導体は、GaN膜、InGaN膜、AlGaN膜、InN膜、GaP膜、GaAs膜のいずれか1つから選択されることを特徴とする請求項1又は2又は3又は4記載の III-V族化合物半導体の成長方法。

【請求項8】 前記 III-V族化合物半導体がGaN系

半導体であって、異なる組成の半導体層がGaN、InGaN、およびAlGaNのうち少なくとも2つの材料から構成されていることを特徴とする請求項1又は2又は3又は4記載の III-V族化合物半導体の成長方法。

【請求項9】 III-V族化合物半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面に成長領域を形成するパターニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長した III-V族化合物半導体が隣接する成長領域の III-V族化合物半導体の成長とともに前記マスク材料を覆い、さらに前記 III-V族化合物半導体の成長により前記ファセット構造が埋め込まれて形成された III-V族化合物半導体とを有することを特徴とする III-V族化合物半導体膜。

【請求項10】 III-V族化合物半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面に成長領域を形成するパターニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長した III-V族化合物半導体が隣接する成長領域の III-V族化合物半導体の成長とともに前記マスク材料を覆い、前記 III-V族化合物半導体の成長により前記ファセット構造が埋め込まれて形成された III-V族化合物半導体とを有する III-V族化合物半導体膜であって、前記 III-V族化合物半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする特徴とする III-V族化合物半導体膜。

【請求項11】 前記基板表面に、前記成長領域に成長する III-V族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有する III-V族化合物半導体が形成され、前記 III-V族化合物半導体表面上にマスク材料による成長領域が形成されていることを特徴とする請求項9あるいは請求項10記載の III-V族化合物半導体膜。

【請求項12】 GaN系半導体と格子定数や熱膨張係数が異なる基板表面、あるいは前記基板上に形成されたGaN系半導体表面にパターニングされたマスク材料により成長領域を形成する工程と、前記成長領域にGaN系半導体がファセット構造を形成するように成長させ、隣接する成長領域のGaN系半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴とするGaN系半導体膜の形成方法。

【請求項13】 請求項12に記載されたGaN系半導体膜の形成の後、前記GaN系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とするGaN系半導体膜の形成方法。

【請求項14】 GaN系半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面、あるいは前記基板上に形成されたGaN系半導体表面に成長領域を形成するパ





## 【0005】

【発明が解決しようとする課題】このようなヘテロ基板上にエピタキシャル成長を行うと、基板や、エピタキシャル層に歪みや、欠陥が発生し、特に厚い膜を成長した場合には、クラックが発生することが報告されている

「ジャパニーズ ジャーナル オブ アプライドフィジックス第32巻(1993)第1528-1533頁」

(Jpn. J. Appl. Phys. Vol 32(1993) pp. 1528-1533) 。このような場合には、デバイスとしての性能が極端に悪くなるばかりではなく、成長層が粉々に破壊されるという結果をしばしば招いた。

【0006】また格子不整合系のエピタキシャル成長において、転位密度が少ない高品質のエピタキシャル成長層を得るために、最初の結晶成長で1 $\mu$ mのSiO<sub>2</sub>膜でストライプを形成したサファイア基板上にGaN膜の選択成長を行い、格子欠陥や転位を特定の領域に集中させることが特開平8-64791号公報に記載されている。しかし特開平8-64791号公報の例ではSiO<sub>2</sub>膜部分で成長が起らないために全面に平坦な成長層を得ることができず、素子形成箇所に制約が生じていた。

【0007】本発明の目的は、格子定数や熱膨張係数が異なるヘテロ基板を用いてエピタキシャル成長を行っても、基板やエピタキシャル成長層への歪みや欠陥の発生が少なく、また厚い膜を成長してもクラックが入りにくいエピタキシャル成長層を得るための成長方法を提供することにある。

【0008】さらに本発明の他の目的は、上記エピタキシャル成長をGaN系半導体の成長に利用し結晶欠陥の少ないGaN系半導体膜を提供することにある。

【0009】また本発明の他の目的は、上記エピタキシャル成長により形成されたGaN系半導体膜上にGaN系半導体素子構造(例えばGaN系半導体発光素子構造)を作製することにより、優れた素子特性の得られるGaN系半導体素子(例えばGaN系半導体発光素子)を提供することにある。

## 【0010】

【課題を解決するため手段】本発明のIII-V族化合物半導体の成長方法は、III-V族化合物半導体のエピタキシャル成長において、基板表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なるIII-V族化合物半導体を成長する工程と、前記成長領域で前記III-V族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域のIII-V族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴とする。

【0011】また本発明のIII-V族化合物半導体の成長方法は、III-V族化合物半導体のエピタキシャ

ル成長において、基板表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域に前記基板と格子定数や熱膨張係数が異なるIII-V族化合物半導体を成長する工程と、前記成長領域で前記III-V族化合物半導体をファセット構造を形成しながら成長させ、隣接する成長領域のIII-V族化合物半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程と、前記平坦化された表面に前記各工程を繰り返すことを特徴とする。

【0012】さらに本発明のIII-V族化合物半導体の成長方法は、前記基板表面に、前記成長領域に成長するIII-V族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有するIII-V族化合物半導体を形成した後に、前記パターンニングされたマスク材料により形成された成長領域を形成することを特徴とする。また前記マスク材料を用いて形成する成長領域がストライプ形状、矩形形状、丸状、又は三角形であることを特徴とする。

【0013】本発明のIII-V族化合物半導体膜は、III-V族化合物半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面に成長領域を形成するパターンニングされたマスク材料と、前記成長領域でファセット構造を形成しながら成長したIII-V族化合物半導体が隣接する成長領域のIII-V族化合物半導体の成長とともに前記マスク材料を覆い、前記III-V族化合物半導体の成長により前記ファセット構造が埋め込まれて形成されたIII-V族化合物半導体膜を有することを特徴とする。さらに、前記III-V族化合物半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする特徴とする。

【0014】また、前記マスク材料形成前の基板表面に前記成長領域に成長するIII-V族化合物半導体と同じ材料か、あるいは格子定数や熱膨張係数の似た性質を有するIII-V族化合物半導体が形成されていることを特徴とする。

【0015】本発明のGaN系半導体膜の形成方法は、GaN系半導体と格子定数や熱膨張係数が異なる基板表面、あるいは前記基板上に形成されたGaN系半導体表面にパターンニングされたマスク材料により成長領域を形成する工程と、前記成長領域にGaN系半導体がファセット構造を形成するように成長させ、隣接する成長領域のGaN系半導体とともに前記マスク材料を覆い、さらに前記ファセット構造を埋め込んで表面を平坦化する工程を有することを特徴とする。またGaN系半導体膜の形成の後、前記GaN系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とする。

【0016】本発明のGaN系半導体積層構造の形成方法は、GaN系半導体膜の形成の後に、前記GaN系半

導体膜上にGaN系半導体素子の積層構造を形成する工程を有することを特徴とする。また前記GaN系半導体膜から少なくとも前記基板、マスク材料を除去する工程と有することを特徴とする。

【0017】本発明のGaN系半導体素子の製造方法は、GaN系半導体膜の形成の後に、前記GaN系半導体膜上にGaN系半導体素子を形成する工程を有することを特徴とする。さらにGaN系半導体膜の形成の後に、前記GaN系半導体膜上にGaN系半導体素子を形成する工程と、前記GaN系半導体膜から少なくとも前記基板、マスク材料を除去する工程とを有することを特徴とする。また前記GaN系半導体素子は、ダブルヘテロ構造を含むGaN系半導体発光素子であること、さらに前記GaN系発光素子がGaN系半導体レーザであることを特徴とする。

【0018】本発明のGaN系半導体膜は、GaN系半導体と格子定数や熱膨張係数が異なる基板と、前記基板表面、あるいは前記基板上に形成されたGaN系半導体表面にパターンニングされたマスク材料により形成された成長領域と、前記成長領域でファセット構造を形成しながら成長したGaN系半導体が隣接する成長領域のGaN系半導体の成長とともに前記マスク材料を覆い、さらに前記GaN系半導体の成長により前記ファセット構造が埋め込まれていることを特徴とする。また前記GaN系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする。

【0019】本発明のGaN系半導体積層構造は、前述のGaN系半導体膜上にGaN系半導体素子の積層構造が形成されていることを特徴とする。さらに前記GaN系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする。

【0020】本発明のGaN系半導体素子は、GaN系半導体膜上にGaN系半導体素子が形成されていることを特徴とする。また前記GaN系半導体膜上にGaN系半導体素子が形成され、前記GaN系半導体膜から少なくとも前記基板、マスク材料が除去されていることを特徴とする。

【0021】さらに前記GaN系半導体素子は、ダブルヘテロ構造を含むGaN系半導体発光素子であることを特徴とする。前記GaN系発光素子がGaN系半導体レーザであることを特徴とする。

【0022】

【発明の実施の形態】本発明の実施の形態について、図面を用いて以下に説明する。

【0023】（第1の実施の形態）本発明の第1の実施の形態について、III-V族化合物半導体のエピタキシャル成長を例に図1を参照して説明する。

【0024】初めに、基板材料とは性質を異にし、その次の工程で成長する材料と同じか、あるいはその材料と格子定数や熱膨張係数の似た性質を有するIII-V族

化合物半導体12を基板上に成長し、その表面上にフォトリソグラフィ法とウエットエッチング法を用いて基板上の成長領域を制限するマスク14を形成する。マスクの形状はストライプとし、このときマスク14の厚さは10nmから2 $\mu$ m程度であり、成長領域13およびマスク14のストライプ幅は、通常0.1 $\mu$ mから10 $\mu$ m程度とした。（図1（a））。

【0025】次に、成長領域に対しIII-V族化合物半導体膜のエピタキシャル成長を行う。マスク14の付いた基板をエピタキシャル装置の反応管に挿入して、水素ガス、窒素ガス、または、水素と窒素の混合ガスとV族原料ガスを供給しながら基板11を所定の成長温度まで昇温する。温度が安定してからIII族原料を供給して、成長領域13にIII-V族化合物半導体15を成長する。結晶成長方法は、好ましくはIII族原料に塩化物を用いる塩化物輸送法による気相成長（VPE：Vapor Phase Epitaxy）で行うが、III族原料に有機金属を用いる有機金属化合物気相成長（MOCVD：Metal Organic Vapor Phase Epitaxy）を用いてもよい。

【0026】III-V族化合物半導体15は、初期段階ではマスク14上に成長せず、成長領域13のみで結晶成長が起こり、成長領域上のIII-V族化合物半導体15にはファセット構造が形成される。このときのIII-V族化合物半導体15の成長条件はファセット構造が形成されるよう650℃から1100℃の成長温度、III族原料の供給量に対し等倍から200000倍を供給するV族原料の供給量の範囲で行う。（図1（b））。

【0027】さらにエピタキシャル成長を続けると、III-V族化合物半導体15はファセット構造の面に対して垂直な方向に成長が進むため、成長領域だけでなくマスク14を覆うようになる。そして隣接する成長領域のIII-V族化合物半導体15のファセット構造と接触する（図1（c））。

【0028】さらにエピタキシャル成長を続けると、ファセット構造が埋め込まれ（図1（d））、最終的には、平坦な表面を有するIII-V族化合物半導体膜15を得ることができる（図1（e））。

【0029】通常、基板上に格子定数や熱膨張率の異なるIII-V族化合物半導体の結晶成長を行うと、基板との界面で発生した結晶欠陥にともなう転位は、界面と垂直方向に伸びるために、たとえエピタキシャル膜を厚くしても、転位の低減は見られない。

【0030】本実施の形態による方法では、選択成長により成長領域にファセット構造を形成している。このファセットは成長速度が他の面より遅いため現れる。ファセットの出現により転位がファセットに向かって進み、基板と垂直に伸びていた転位が垂直な方向へ伸びることができなくなる。結晶欠陥はファセットの成長と

もに横方向に曲げられ、エピタキシャル膜の膜厚増加に伴い、成長領域では結晶欠陥が減少していき、結晶の端に出てしまうか、閉ループを形成することがわかった。これにより、エピタキシャル膜内の欠陥の低減が計られる。このようにファセット構造を形成して成長することで、結晶欠陥を大幅に減らせる。

【0031】特にIII族原料に塩化物を用いる塩化物輸送法による気相成長では、III-V族化合物半導体15の成長が速いため、ファセット構造のうち基板面と同じ面が消えるのがはやい。したがって基板と垂直に伸びる転位は、はやくからファセット構造のうち基板面と異なる面の方向に伸びることになりIII-V族化合物半導体15における垂直に伸びる転位を大幅に減らすことができる。

【0032】なお、III族原料に有機金属を用いる有機金属化合物気相成長は塩化物輸送法による気相成長と比べて成長速度が遅くなるが、上述のようにIII-V族化合物半導体15のファセット構造のうち基板面と同じ面がはやく消えるようにすればよい。例えば成長領域に対するマスクの面積を大きくすればマスク上からの成長種の供給量が増えるため成長領域におけるIII-V族化合物半導体15の成長をはやめることができる。

【0033】(第2の実施の形態)本発明の第2の実施の形態について、III-V族化合物半導体のエピタキシャル成長を例に図5を参照して説明する。

【0034】図5(a)～(b)までは第1の実施の形態の図1(a)から(e)と同様な工程で作製しているため説明を省略する。第2の実施の形態では、III-V族化合物半導体のエピタキシャル成長を行い成長層を平坦化した後に、第2のマスクを設け(図5(c))、第1の実施の形態と同様にファセット構造を形成し、平坦化を行っている(図5(d))。

【0035】第2の実施の形態では、図1(a)から(e)の作製工程を繰り返すことにより形成したIII-V族化合物半導体膜の欠陥密度をさらに低減することができる。

【0036】第1の実施の形態あるいは第2の実施の形態は、基板と格子定数や熱膨張係数の異なる材料を結晶成長する場合に有効であり、 $Al_2O_3$ 、Si、SiC、 $MgAl_2O_4$ 、 $LiGaO_2$ 、ZnO等の基板への、GaN、GaAlN、InGaN、InN、GaAs又はGaP等のIII-V族化合物半導体の成長に適用できる。

【0037】また図1あるいは図5では基板にその次の工程で成長する物質と同じ、あるいはその物質と格子定数や熱膨張係数の似た性質を有するIII-V族化合物半導体膜表面にマスクを形成した例を示したが、基板11表面に直接マスクを形成して図1(b)～(e)あるいは図5(b)～(d)のプロセスを行っても同様な効果が得られる。

【0038】さらに本実施の形態ではマスク14としてストライプ状のパターンを用いた成長領域について説明を行ったが、これに限られるものではなく、ファセット構造が現れるものであれば、成長領域の形状が矩形、丸状、又は三角状となるマスクでもよい。

【0039】(第3の実施の形態)次に、本発明の第3の実施の形態について説明する。第3の実施の形態は、第1の実施の形態あるいは第2の実施の形態で説明したIII-V族化合物半導体のエピタキシャル成長をGa系半導体の成長に利用しGa系半導体膜を形成するものである。

【0040】第3の実施の形態は、第1の実施の形態あるいは第2の実施の形態で説明したエピタキシャル成長をGa系半導体に利用したものであり、共通する箇所については説明を簡略化する。

【0041】はじめに、Ga系半導体と熱膨張係数や格子定数の異なる基板材料上に、フォトリソグラフィ法とウェットエッチング法を用いて基板上の成長領域を制限するマスクを形成する。

20 【0042】次に成長領域に対しGa系半導体のエピタキシャル成長を行う。成長領域に成長するGa系半導体の結晶成長方法は、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム( $GaCl$ )とV族原料にアンモニア( $NH_3$ )ガスをを用いる塩化物輸送法による気相成長(VPE: Vapor Phase Epitaxy)であるハイドライドVPE法や、Ga原料に有機金属を用いる有機金属化合物気相成長(MOCVD: Metal Organic Vapor Phase Epitaxy)を用いる。成長温度は650℃から1100℃で行い、V族原料の供給量はIII族原料の供給量に対し等

30 倍から20000倍を供給すればよい。  
【0043】Ga系半導体層のエピタキシャル成長は、第1の実施の形態と同様に、Ga系半導体が初期段階ではマスク上に成長せず成長領域のみで結晶成長が起こり、成長領域上のGa系半導体膜には基板の面方位とは異なる面方位のファセット構造が形成される。

40 【0044】エピタキシャル成長を続けると、Ga系半導体はファセット構造の面に対して垂直な方向に成長が進むため、成長領域だけでなくマスクを覆うようになる。そして隣接する成長領域のGa系半導体のファセット構造と接触する。さらにエピタキシャル成長を続けると、Ga系半導体によりファセット構造が埋め込まれ、最終的には、平坦な表面を有するGa系半導体膜を得ることができる。

50 【0045】Ga系半導体はバルク結晶の作製が困難なため、従来のGa系半導体の結晶成長では基板としてサファイア基板、SiC基板等を用いてきたが、これらの基板はGa系半導体とは格子定数や熱膨張率が異なっている。このためGa系半導体のエピタキシャル成長を行うと、基板との界面で発生した結晶欠陥にともなう転位



型GaN光ガイド層、アンドープInGaN量子井戸層とアンドープInGaN障壁層からなる多重量子井戸構造活性層、p型AlGaN層、p型GaN光ガイド層、p型AlGaNクラッド層、p型GaNコンタクト層を順次形成しレーザー構造を作製する。

【0065】次に、レーザー構造を形成した基板を研磨器にセットし、基板、SiO<sub>2</sub>マスク、およびGaN系半導体膜の一部を研磨してGaN系半導体膜を露出させる。露出したGaN系半導体膜の面、すなわちGaN系半導体発光素子裏面側にn型電極を形成し表面側にp型電極を形成する。

【0066】第4の実施の形態により以下の効果が得られる。

【0067】第1の実施の形態のエピタキシャル成長で得られたGaN系半導体膜上にGaN系半導体素子構造を成長することにより、従来のサファイア基板を用いた成長で問題となっていたGaN系半導体素子構造におけるエピタキシャル成長膜の結晶性が改善でき、GaN系半導体素子特性を向上させることができる。

【0068】さらにGaN系半導体素子がGaN系半導体発光素子の場合においては、裏面に電極を形成することができるため、従来のようにドライエッチング等複雑な作製工程で電極をGaN系半導体膜の表面に形成することなく素子を作製でき電極作製工程が簡略化できる。

【0069】またGaN系半導体発光素子がGaN系半導体レーザーの場合は、結晶欠陥が少ないGaN系半導体厚膜を形成した後に基板、マスクを除去することで、へき開によりGaN系半導体レーザー構造の共振器ミラー面を形成できる。このため従来のドライエッチング等による複雑な工程で共振器ミラー面を形成したものに比べ大幅に簡略化でき歩留まりも大幅に向上できる。

【0070】なお、第4の実施の形態は上記の説明に限定されるものではなく、必要に応じて他の構成、成長法を採ることが可能である。

【0071】例えば、GaN系半導体膜のエピタキシャル成長は第1の実施の形態だけでなく、第2の実施の形態の適用もできる。

【0072】さらにGaN系半導体膜上にGaN系半導体素子の積層構造を作製した後に基板、マスクを除去したが、GaN系半導体膜形成後に基板、マスクとGaN系半導体膜の一部を除去した後にGaN系半導体素子の積層構造を作製してもよい。

【0073】なお、GaN系半導体膜から基板、マスクを除去した例を説明したが、GaN系半導体膜上に形成されたGaN系半導体素子の結晶性の効果だけ得たいのであれば、基板、マスクの除去を行わず、GaN系半導体素子表面側に電極を形成する構成としてもよい。

【0074】さらに本実施の形態に用いるマスクとしては第1の実施の形態あるいは第2の実施の形態と同様な材料、寸法、形状を適用することができる。また本実施

の形態におけるGaN系半導体膜としてはGaN、AlGaN、InGaN等があげられるがGaNが最も好ましい。

【0075】またGaN系半導体素子としては、GaN系半導体レーザーやGaN系LED等のGaN系半導体発光素子の他にFETやHBTなどのデバイスにも適用可能である。

【0076】

【実施例】次に本発明の実施例について図面を参照して10 説明する。

【0077】(第1の実施例)本発明の実施例について、図1を参照して説明する。本実施例では、基板として、(0001)面サファイア(Al<sub>2</sub>O<sub>3</sub>)基板11上に1μm程度の膜厚のGaN膜12をあらかじめ形成した基板を用いた。このGaN膜12表面にSiO<sub>2</sub>膜を形成し、フォトリソグラフィ法とウエットエッチングでマスク14と成長領域13に分離した。成長領域13およびマスク14は、それぞれ5μmおよび2μmの幅のストライプ状である。ストライプ方向は<11-20>方向とした(図1(a))。

【0078】成長領域13に成長するGaN膜15は、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)とV族原料にアンモニア(NH<sub>3</sub>)ガスを用いるハイドライドVPE法を用いた。基板11をハイドライドの成長装置にセットし、水素雰囲気中で成長温度1000℃に昇温する。成長温度が安定してから、HCl流量を20cc/毎分で供給し、NH<sub>3</sub>流量1000cc/毎分で5分程度供給することで、成長領域13にGaN膜15の{1-101}面からなるファセット構造を成長させた(図1(b))。さらに、20分間程度エピタキシャル成長を続け、マスク14を覆うまでファセット構造16を発達させた(図1(c))。

【0079】エピタキシャル成長を続けることによりファセット構造を埋め込み(図1(d))、最終的には、5時間の成長で200μm程度の平坦な表面を有するGaN膜を形成させた(図1(e))。GaN膜15を形成後、アンモニアガスを供給しながら、常温まで冷却し成長装置より取り出した。

【0080】第1の実施例では成長領域を制限する選択成長により、側壁が{1-101}面からなるファセットを形成して結晶成長を行っている。このファセットは成長速度が他の面より遅いため現れてくる。ファセットが現れる前は、基板と垂直に伸びていた転位が、ファセットの出現でこの方向へ伸びることができなくなる。

【0081】本発明により成長した結晶を詳細に調べると、ファセットの出現で、横方向に曲げられ、エピタキシャル膜の膜厚増加に伴い、結晶の端に出ることがわかった。これにより、エピタキシャル膜内の欠陥の低減が50 計られる。

【0082】第1の実施例によって形成されたGa<sub>0.9</sub>N膜15には、サファイア基板11と格子定数や熱膨張係数が違うにもかかわらずクラックが入っていないことが確認された。しかも、厚膜成長を行ったGa<sub>0.9</sub>N膜には、欠陥が非常に少なく、欠陥密度は $10^6$  cm<sup>2</sup>程度であった。

【0083】本実施例で成長したGa<sub>0.9</sub>N膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。

【0084】さらにサファイア基板11を研磨等によって除去することで、Ga<sub>0.9</sub>N膜15を基板材料として用いることもできる。

【0085】第1の実施例では、Ga<sub>0.9</sub>N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。またAl<sub>2</sub>O<sub>3</sub>基板11を用いたが、Si基板、ZnO基板、SiC基板、LiGaO<sub>2</sub>基板、MgAl<sub>2</sub>O<sub>4</sub>基板等を用いても同様な効果が得られる。さらにAl<sub>2</sub>O<sub>3</sub>基板11上にGa<sub>0.9</sub>N膜12をあらかじめ形成したが、基板11上に直接マスクを形成してもよい。

【0086】またマスク14としてSiO<sub>2</sub>を用いたがこれに限られるものではなく、SiN<sub>x</sub>等の絶縁体膜でもよい。この実施例ではマスク14の幅を2μmとしたが、マスクを埋め込むことのできる幅であれば同様な効果が得られる。さらにストライプを<11-20>方向に形成したが、ファセットが形成されれば、これと垂直の方向<1-100>でもよく、これらの方向から傾けた角度であっても結晶成長の条件により、成長領域にファセット構造を形成することができる。なおファセット構造が形成される結晶成長の条件は材料によってそれぞれ異なる。

【0087】またGa<sub>0.9</sub>Nのエピタキシャル成長について述べたが、InGa<sub>0.9</sub>N膜、AlGa<sub>0.9</sub>N膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0088】(第2の実施例)本発明の第2の実施例について、第1の実施例と同じく図1を参照して説明する。

【0089】第2の実施例では、基板として、(0001)面SiC基板11上に1μm程度の膜厚のAl<sub>0.1</sub>Ga<sub>0.9</sub>N膜12をあらかじめ形成した結晶を用いた。このAl<sub>0.1</sub>Ga<sub>0.9</sub>N膜12表面にSiO<sub>2</sub>膜を形成し、フォトリソグラフィ法とウエットエッチングでマスク14と成長領域13に分離した。成長領域13、およびマスク14は、それぞれ2μm、および10μmの幅のストライプ状である。ストライプ方向は<1-100>方向とした(図1(a))。

【0090】成長領域13に成長するGa<sub>0.9</sub>N膜15は、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)とV族原料にアンモニア(NH<sub>3</sub>)ガスを用いるハイドライドVPE法を用いた。基板11をハイドライドの成長装置にセットし、水素雰囲気中で成長温度1000℃に昇温する。成長温度が安定してから、HCl流量を20cc/毎分で供給し、NH<sub>3</sub>流量2000cc/毎分で5分程度供給することで、成長領域13にGa<sub>0.9</sub>N膜15の{1-101}面からなるファセット構造を成長させた(図1(b))。

【0091】さらに、20分間程度エピタキシャル成長を続け、マスク14を覆うまでGa<sub>0.9</sub>N膜15を発達させた(図1(c))。

【0092】エピタキシャル成長を続けることによりファセット構造を埋め込み(図1(d))、最終的には、5時間の成長で200μm程度の平坦な表面を有するGa<sub>0.9</sub>N膜を形成させた(図1(e))。Ga<sub>0.9</sub>N膜15の形成後、NH<sub>3</sub>ガスを供給しながら常温まで冷却し、成長装置より取り出す。

【0093】第2の実施例によって形成されたGa<sub>0.9</sub>N膜15には、SiC基板11との格子定数や熱膨張係数が違うにもかかわらずクラックが入っていないことが確認された。しかも、厚膜成長を行ったGa<sub>0.9</sub>N膜には、欠陥が非常に少なく欠陥密度は $10^6$  cm<sup>2</sup>程度であった。

【0094】本実施例で成長したGa<sub>0.9</sub>N膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。

【0095】また、SiC基板11を研磨等によって除去することで、Ga<sub>0.9</sub>N膜15を基板材料として用いることもできる。

【0096】第2の実施例では、Ga<sub>0.9</sub>N膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。また本実施例では、SiC基板11を用いたが、Si基板、ZnO基板、Al<sub>2</sub>O<sub>3</sub>基板、LiGaO<sub>2</sub>基板、MgAl<sub>2</sub>O<sub>4</sub>基板等を用いても同様な効果が得られる。さらにSiC基板11上に膜厚のGa<sub>0.9</sub>N膜12をあらかじめ形成したが、基板11上に直接マスクを形成してもよい。

【0097】またマスク14としてSiO<sub>2</sub>を用いたがこれに限られるものではなく、SiN<sub>x</sub>等の絶縁体膜でもよい。この実施例ではマスク14の幅を10μmとしたが、マスクを埋め込むことのできる幅であれば同様な効果が得られる。さらにストライプを<1-100>方向に形成したが、ファセットが形成されれば、これと垂直の方向<1-120>でもよく、これらの方向から傾けた角度であっても結晶成長の条件により、成長領

域にファセット構造を形成することができる。なおファセット構造が形成される結晶成長の条件は材料によってそれぞれ異なる。

【0098】またさらに基板11上の膜としてAl組成0.1のAlGa<sub>N</sub>を用いたが、この組成は任意のものでよく、この膜として他にAlN、InGa<sub>N</sub>などを用いても同様な効果が得られる。さらにGa<sub>N</sub>のエピタキシャル成長について述べたが、InGa<sub>N</sub>膜、AlGa<sub>N</sub>膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。また成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0099】(第3の実施例)本発明の第3の実施例について、図2を参照して説明する。

【0100】第3の実施例では、基板として、(111)面のMgAl<sub>2</sub>O<sub>4</sub>基板21を用いた。この基板21表面にSiO<sub>2</sub>膜23を形成し、フォトリソグラフィ法とウエットエッチングでマスク23と成長領域22に分離した。成長領域22、およびマスク23は、それぞれ4μm、および3μmの幅のストライプ状である。ストライプ方向は<11-20>方向とした(図2(a))。

【0101】Ga<sub>N</sub>膜の成長は、マスク23上に多結晶のGa<sub>N</sub>が付着を抑制するのに適したハイドライドVPE法を用いた。この手法では、III族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム(GaCl)と、V族原料にアンモニア(NH<sub>3</sub>)ガスを用いる。

【0102】まず、基板21を成長装置にセットし、水素ガスを供給しながら1000℃程度の高温で熱処理した後、500℃に降温させ、HCl流量を0.5cc/毎分で供給し、NH<sub>3</sub>流量1000cc/毎分で5分程度供給することで、結晶成長領域23に約20nmの膜厚のGa<sub>N</sub>バッファ層24を形成する(図2

(b))。

【0103】この状態で、NH<sub>3</sub>ガスを供給しながら1000℃に昇温する。成長温度が安定してから、HCl流量を20cc/毎分で供給し、NH<sub>3</sub>流量1500cc/毎分で5分程度供給することで、成長領域22のGa<sub>N</sub>バッファ層24上にGa<sub>N</sub>の{1-101}面からなるファセット構造25を成長させた(図2

(c))。

【0104】さらに、エピタキシャル成長を続け、マスク23を覆うまでGa<sub>N</sub>膜25のファセット構造を発達させた後、ファセット構造を埋め込みながら成長を続け、最終的には、5時間の成長で200μm程度の平坦な表面を有するGa<sub>N</sub>膜25を形成させた(図2

(d))。Ga<sub>N</sub>膜25の形成後、NH<sub>3</sub>ガスを供給しながら常温まで冷却し成長装置より取り出す。

【0105】第3の実施例によって形成されたGa<sub>N</sub>膜

25には、MgAl<sub>2</sub>O<sub>4</sub>基板21との格子定数や熱膨張係数が違うにもかかわらずクラックが入っていないことが確認された。しかも、厚膜成長を行ったGa<sub>N</sub>膜には、欠陥が非常に少なく、10<sup>6</sup>cm<sup>2</sup>程度であった。

【0106】本実施例で成長したGa<sub>N</sub>膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。またMgAl<sub>2</sub>O<sub>4</sub>基板21を研磨等によって除去することで、Ga<sub>N</sub>膜25を基板材料として用いることもできる。

【0107】第3の実施例では、Ga<sub>N</sub>膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。また実施例では、MgAl<sub>2</sub>O<sub>4</sub>基板21を用いたが、Si基板、ZnO基板、SiC基板、LiGaO<sub>2</sub>基板、Al<sub>2</sub>O<sub>3</sub>基板等を用いても同様な効果が得られる。さらにMgAl<sub>2</sub>O<sub>4</sub>21上に直接マスクを形成したが、基板21上にGa<sub>N</sub>膜をあらかじめ形成してもよい。

【0108】またマスク14としてSiO<sub>2</sub>を用いたがこれに限られるものではなく、SiN<sub>x</sub>等の絶縁体膜でもよい。さらにマスク24の幅を10μmとしたが、マスクを埋め込むことのできる幅であれば同様な効果が得られる。本実施例では、ストライプを<11-20>方向に形成したが、ファセットが形成されれば、これと垂直の方向<1-100>でもよく、これらの方向から傾けた角度でも結晶成長の条件により、成長領域にファセット構造を形成することができる。なお、ファセット構造が形成される結晶成長の条件は材料によってそれぞれ異なる。

【0109】また本実施例では基板上に低温バッファ層を設けた後にGa<sub>N</sub>膜の成長を行っているため、結晶欠陥をより少なくすることが可能となる。

【0110】さらに、実施例では、Ga<sub>N</sub>膜のエピタキシャル成長について述べたが、InGa<sub>N</sub>膜、AlGa<sub>N</sub>膜、InN膜、GaP膜、GaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0111】(第4の実施例)本発明の第4の実施例について、図3、図4を参照して説明する。図3は選択的にエピタキシャル成長する成長領域の形状を丸形状、三角形状及び矩形状とした概略図である。

【0112】本実施例では、基板として(0001)面のAl<sub>2</sub>O<sub>3</sub>基板41上に1μm程度の膜厚のGa<sub>N</sub>膜42をあらかじめ形成した結晶基板を用いた。

【0113】このGa<sub>N</sub>膜42表面にSiO<sub>2</sub>膜を形成し、フォトリソグラフィ法とウエットエッチングでマスク43と成長領域44に分離した。成長領域44

は、 $4\mu\text{m}$ の直径の丸状(図3(a))、一辺が $3\mu\text{m}$ の三角形状(図3(b))、および $5\mu\text{m}$ 角の矩形状(図3(c))の3種類となるマスクをそれぞれ用いた。

【0114】形成した成長領域44に成長するGaN膜45は、III族原料にトリメチルガリウム(TMGa)及びトリメチルアルミニウム(TMAI)とV族原料にアンモニア( $\text{NH}_3$ )ガスを用いる有機金属化合物気相成長法を用いた。

【0115】図4は図3の成長領域を形成した基板上に気相成長法を用いてIII-V族化合物半導体膜を形成する工程の概略図である。基板41を有機金属化合物気相成長装置にセットし、水素ガスと $\text{NH}_3$ ガスを供給しながら $1050^\circ\text{C}$ の成長温度に昇温する。成長温度が安定してから、トリメチルガリウム流量を $5\text{cc}/\text{分}$ で供給し、 $\text{NH}_3$ 流量 $5000\text{cc}/\text{分}$ で10分程度供給することで、成長領域44にGaN膜45の{1-101}面からなるファセット構造を成長させた(図4(a))。

【0116】さらに、30分間程度エピタキシャル成長を続け、マスク43を覆うまでGaN層45のファセット構造を発達させた(図4(b))。

【0117】エピタキシャル成長を続けることによりGaN層45のファセット構造を埋め込み(図4(c))、最終的には、12時間の成長で $100\mu\text{m}$ 程度の平坦な表面を有するGaN膜45を形成させた(図4(d))。

【0118】3種類の形状の成長領域に形成したGaN膜45は、成長領域の形状によらず平坦な表面が得られ、サファイア基板41にクラックが入っていないことが確認された。また、本実施例では成長領域の形状を丸状、三角形状、および矩形状の3種類としたが、マスク領域を埋め込むことのできる形状であれば多角形の形状、大きさによらず同様の効果がある。

【0119】本実施例で成長したGaN膜は欠陥が非常に少なく、この上にレーザ、FET、およびHBTなどの高品質なデバイス構造を成長することで、デバイス特性を向上させることが可能となる。

【0120】さらにサファイア基板41を研磨等によって除去することで、GaN膜45を基板材料として用いることもできる。

【0121】第4の実施例では、GaN膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、有機金属化合物気相成長法(MOCVD)を用いても同様な効果が得られる。また $\text{Al}_2\text{O}_3$ 基板41を用いたが、Si基板、ZnO基板、SiC基板、 $\text{LiGaO}_2$ 基板、 $\text{MgAl}_2\text{O}_4$ 基板等を用いても同様な効果が得られる。さらに $\text{Al}_2\text{O}_3$ 基板41上に膜厚のGaN膜42をあらかじめ形成したが、基板41上に直接マスクを形成してもよい。

【0122】またマスク43として $\text{SiO}_2$ を用いたがこれに限られるものではなく、 $\text{SiN}_x$ 等の絶縁体膜でもよい。

【0123】またGaNのエピタキシャル成長について述べたが、InGaN膜、AlGaN膜、InN膜、GaP膜あるいはGaAs膜をエピタキシャル成長しても同様な効果が得られる。さらに成長するIII-V族化合物に不純物の添加しても同様な効果が得られる。

【0124】(第5の実施例)本発明の第5の実施例について、図5を参照して説明する。

【0125】基板51には、 $1\mu\text{m}$ の膜厚のGaN膜52が形成された(0001)面のサファイア基板51を用いた。

【0126】この基板51表面に $\text{SiO}_2$ 膜を形成し、フォトリソグラフィ法とウエットエッチングで第1のマスク53と第1の成長領域54に分離した。第1の成長領域54、および第1のマスク53は、それぞれ $2\mu\text{m}$ 、および $5\mu\text{m}$ のストライプ状とした。ストライプ方向は、 $\langle 11-20 \rangle$ とした(図5(a))。

【0127】第1の成長領域54に成長する第1のGaN膜55は、上記の実施例1と同様にIII族原料にガリウム(Ga)と塩化水素(HCl)の反応生成物である塩化ガリウム( $\text{GaCl}$ )とV族原料にアンモニア( $\text{NH}_3$ )ガスを用いるハイドライドVPE法を用いた。基板51をハイドライドの成長装置にセットし、水素雰囲気中で成長温度 $1000^\circ\text{C}$ に昇温する。 $650^\circ\text{C}$ の温度から基板51を $\text{NH}_3$ ガス雰囲気にする。成長温度が安定してから、HCl流量を $10\text{cc}/\text{分}$ で供給し、 $\text{NH}_3$ 流量 $4000\text{cc}/\text{分}$ で60分間の成長で、第1の実施例で説明した図1の(a)から(e)の成長工程を経て、第1のマスク53を埋め込んだ第1のGaN膜55を形成する(図5(b))。第1のGaN膜55を形成後、 $\text{NH}_3$ ガス雰囲気中で常温まで冷却し、成長装置より取り出す。

【0128】次に、GaN膜55上に再び $\text{SiO}_2$ 膜を形成し、第2の成長領域56と第2のマスク57を形成する。それぞれのストライプ幅は、 $2\mu\text{m}$ 、および $5\mu\text{m}$ であり、ストライプ方向は $\langle 11-20 \rangle$ とした(図5(c))。この基板51上に、再び、第1の実施例で説明した図1の(a)から(e)の成長工程を経て、第2のマスク57を埋め込み、およそ $150\mu\text{m}$ の第2のGaN層58を成長させ平坦化した表面を得た(図5(d))。

【0129】成長した第2のGaN膜58の欠陥を断面透過電子顕微鏡で調べた結果、欠陥が $10^5\text{cm}^2$ 以下と極めて少ないものであった。ここでは、2段階の選択成長について述べたが、上記工程を繰り返すことでさらに欠陥密度を減少させることができる。

【0130】第5の実施例では、GaN膜のエピタキシャル成長にハイドライドVPE法を用いて形成したが、



有機金属化合物気相成長法 (MOCVD) を用いても同様な効果が得られる。また  $Al_2O_3$  基板 51 を用いたが、Si 基板、ZnO 基板、SiC 基板、LiGaO<sub>2</sub> 基板、MgAl<sub>2</sub>O<sub>4</sub> 基板等を用いても同様な効果が得られる。さらに  $Al_2O_3$  基板 51 上に GaN 膜 52 を成長した後にマスクを形成したが、これに限らず、基板上に GaN 膜 52 を成長せず、直接第 1 のマスク 53 を成長してもよい。

【0131】またマスク 53 として SiO<sub>2</sub> を用いたがこれに限られるものではなく、SiN<sub>x</sub> 等の絶縁体膜でもよい。さらに成長領域がストライプとなるようにパターンニングされたマスクを用いたが、これに限らず、丸形状、矩形状、三角形状でもよい。また GaN のエピタキシャル成長について述べたが、InGa<sub>0.15</sub>N 膜、AlGa<sub>0.15</sub>N 膜、InN 膜、GaP 膜あるいは GaAs 膜をエピタキシャル成長しても同様な効果が得られる。さらに成長する III-V 族化合物に不純物の添加しても同様な効果が得られる。

【0132】本発明の各実施例では GaN 系の III-V 族化合物半導体を用いた例について述べたが、これに限られるものではなく、基板と格子定数あるいは熱膨張係数が異なる III-V 族化合物半導体の成長に適用可能であることはいうまでもない。

【0133】(第 6 の実施例) 本発明の第 6 の実施例について、図 6 を参照して説明する。図 6 は本発明のエピタキシャル成長を GaN 膜の成長に用い、さらにこの GaN 膜上に GaN 系半導体レーザを製造する工程を説明するための概略図である。

【0134】図 6 に示す基板 61 には、1 μm の膜厚の GaN 膜 62 が形成された (0001) 面のサファイア基板 61 を用いた。この基板 61 表面に SiO<sub>2</sub> 膜を形成し、第 1 から第 4 の実施例と同様にフォトリソグラフィ法とウエットエッチングで第 1 のマスク 63 と第 1 の成長領域 64 に分離した。第 1 の成長領域 64、および第 1 のマスク 63 は、それぞれ 5 μm、および 2 μm のストライプ状とした。ストライプ方向は、 $\langle 11-20 \rangle$  方向から 10 度傾けて形成した (図 6 (a))。

【0135】第 1 の成長領域 64 に成長する第 1 の GaN 膜 65 は、上記の実施例 1 と同様に III 族原料にガリウム (Ga) と塩化水素 (HCl) の反応生成物である塩化ガリウム (GaCl) と V 族原料にアンモニア (NH<sub>3</sub>) ガスを用いるハイドライド VPE 法を用いた。基板 61 をハイドライドの成長装置にセットし、水素雰囲気中で成長温度 1000℃ に昇温する。650℃ の温度から基板 51 を NH<sub>3</sub> ガス雰囲気にする。成長温度が安定してから、HCl 流量を 40 cc/毎分で供給し、NH<sub>3</sub> 流量 1000 cc/毎分、およびシラン (SiH<sub>4</sub>) 流量 0.01 cc/毎分で 150 分間の成長で、第 1 の実施例で説明した図 1 の (a) から (e) の成長工程を経て、第 1 のマスク 63 を埋め込

だ膜厚 200 μm の第 1 の GaN 膜 65 を形成する (図 5 (b))。第 1 の GaN 膜 65 を形成後、NH<sub>3</sub> ガス雰囲気中で常温まで冷却し、成長装置より取り出す。GaN 膜 65 は、n 型で、 $1 \times 10^{18} \text{ cm}^{-3}$  以上のキャリア濃度であった。

【0136】次に、GaN 系半導体レーザ構造の作製には、有機金属化学気相成長法 (MOVPE) を用いて作製した。GaN 膜 65 を形成後、MOCVD 装置にセットし、水素雰囲気中で成長温度 1050℃ に昇温する。650℃ の温度から NH<sub>3</sub> ガス雰囲気にする。Si を添加した 1 μm の厚さの n 型 GaN 層 66、Si を添加した 0.4 μm の厚さの n 型 Al<sub>0.15</sub>Ga<sub>0.85</sub>N クラッド層 67、Si を添加した 0.1 μm の厚さの n 型 GaN 光ガイド層 68、2.5 nm の厚さのアンドープ In<sub>0.2</sub>Ga<sub>0.8</sub>N 量子井戸層と 5 nm の厚さのアンドープ In<sub>0.05</sub>Ga<sub>0.95</sub>N 障壁層からなる 10 周期の多重量子井戸構造活性層 69、マグネシウム (Mg) を添加した 20 nm の厚さの p 型 Al<sub>0.2</sub>Ga<sub>0.8</sub>N 層 70、Mg を添加した 0.1 μm の厚さの p 型 GaN 光ガイド層 71、Mg を添加した 0.4 μm の厚さの p 型 Al<sub>0.15</sub>Ga<sub>0.85</sub>N クラッド層 72、Mg を添加した 0.5 μm の厚さの p 型 GaN コンタクト層 73 を順次形成しレーザ構造を作製した。p 型の GaN コンタクト層 73 を形成した後は、HN<sub>3</sub> ガス雰囲気中で常温まで冷却し、成長装置より取り出す (図 6 (c))。2.5 nm の厚さのアンドープ In<sub>0.2</sub>Ga<sub>0.8</sub>N 量子井戸層と 5 nm の厚さのアンドープ In<sub>0.05</sub>Ga<sub>0.95</sub>N 障壁層からなる多重量子井戸構造活性層 69 は、780℃ の温度で形成した。

【0137】次に、レーザ構造を形成したサファイア基板 61 を研磨器にセットし、サファイア基板 61、GaN 層 62、SiO<sub>2</sub> マスク 63、および GaN 膜 65 の 50 μm 研磨して GaN 膜 65 を露出させる。露出した GaN 層 65 面には、チタン (Ti) - アルミ (Al) の n 型電極 74 を形成し、p 型の GaN 層 73 上にはニッケル (Ni) - 金 (Au) の p 型電極 75 を形成する (図 6 (d))。

【0138】図 6 に示すレーザ構造では、裏面に n 型電極が形成されており、従来のようにドライエッチング等複雑な作製工程で n 型の電極を窒化物表面に形成することなく素子を形成できるため電極作製工程が簡略化できる。

【0139】また、サファイアと GaN 系半導体とは結晶のへき開面が異なるため、従来サファイア基板上に作製したレーザ構造の共振器ミラーはへき開により形成することが困難であった。

【0140】これに対し、本実施例では結晶欠陥が少ない GaN 層 65 を厚く成長することができるため、サファイア基板やマスク材料を除去しても GaN 65 上に形成した GaN 系半導体のレーザ構造には影響はなく、また GaN 層 65 上のレーザ構造はへき開により共振器ミ

ラー面を形成できる利点を持っているため、従来のドライエッチング等による複雑な工程で共振器ミラー面を形成したものに比べ大幅に簡略化でき歩留まりも大幅に向上した。

【0141】本実施例では、GaN層65上にレーザー構造形成してから、サファイア基板51、GaN膜62、SiO<sub>2</sub>マスク63を研磨したが、レーザー構造を作製する前にサファイア基板61、GaN膜62、SiO<sub>2</sub>マスク63を研磨しても同様な効果が得られる。

【0142】また、本実施例では、サファイア基板61、GaN層62、SiO<sub>2</sub>マスク63の研磨、およびGaN膜65の一部を研磨して、n型の電極を形成したが、研磨を行わずにドライエッチングによりn型のGaN層66または65まで除去しn型電極を形成し、共振器ミラー面を形成することで従来の構造を作製することもできる。

【0143】

【発明の効果】以上説明したように、本発明によるIII-V族化合物半導体の成長方法は、初期成長段階で、マスクにより基板上の成長領域を制限し、ファセット成長を促すことで、成長するIII-V族化合物半導体層と基板結晶の熱膨張係数差、および格子定数差によって生じるクラックを抑え、欠陥の導入を抑制して、高品質のIII-V族化合物半導体層を形成することができる。従って、本発明による結晶を用いれば、この上に高品質の半導体素子、例えばレーザー構造や、トランジスタ構造を作製することができ、その特性が飛躍的に向上することが期待される。

【図面の簡単な説明】

【図1】本発明のIII-V族化合物半導体の形成方法を説明する工程概略図である。

【図2】AlGaN膜が形成されたMgAl<sub>2</sub>O<sub>4</sub>基板上にハイドライドVPE法を用いて、GaN膜を形成する工程の概略図である。

【図3】選択的にエピタキシャル成長する成長領域の形状を丸形状、三角形、及び矩形に形成した概略図である。

【図4】図3の丸形状、三角形、及び矩形の成長領域を形成した基板上に気相成長法を用いてIII-V族化合物半導体膜を形成する工程の概略図である。

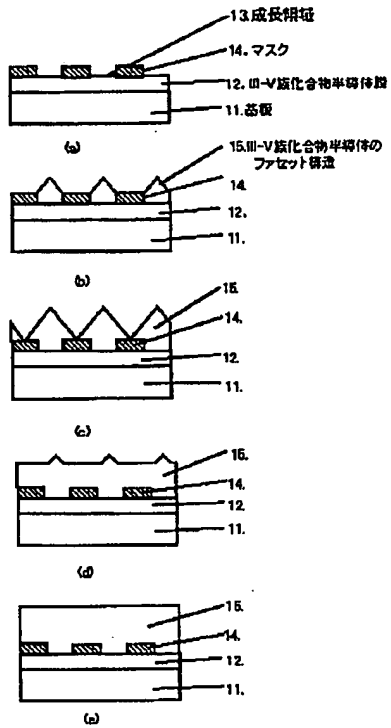
【図5】本発明の成長方法を2回繰り返して形成したGaN膜の概略図である。

【図6】本発明の成長方法を用いて形成したGaN膜上にGaN系半導体レーザー構造を形成する工程の概略図である。

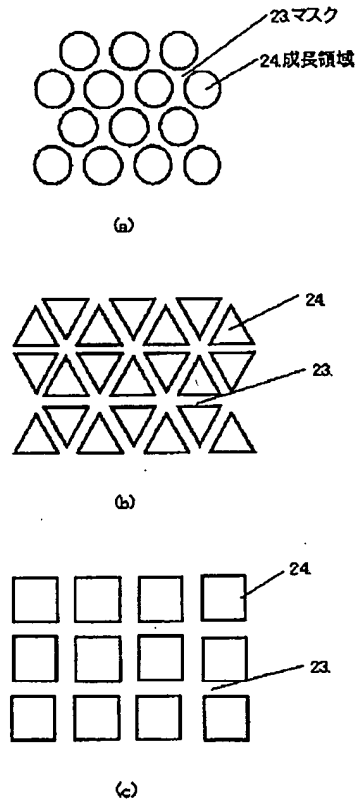
【符号の説明】

- 11 基板
- 12 基板に形成されたIII-V族化合物半導体膜
- 13 III-V族化合物半導体を成長させる成長領域
- 14 マスク
- 15 エピタキシャル成長したIII-V族化合物半導体膜
- 16 III-V族化合物半導体のファセット構造
- 21 (0001)面のサファイア基板
- 22 GaN膜
- 23 マスク
- 25 エピタキシャル成長したGaN膜
- 31 (111)面のMgAl<sub>2</sub>O<sub>4</sub>基板
- 32 1μmのGaN膜、またはAlGaN膜
- 32 基板上に形成された成長領域
- 33 基板上に形成したSiO<sub>2</sub>膜のマスク
- 34 エピタキシャル成長したGaNバッファ層
- 35 ハイドライドVPE法で成長したGaN膜
- 43 マスク
- 44 成長領域
- 51 (0001)面のサファイア基板
- 53 第1のマスク
- 54 第1の成長領域
- 55 第1のGaN層
- 56 第2の成長領域
- 57 第2のマスク
- 58 第2のGaN層
- 65 n型GaN膜
- 66 n型GaN層
- 67 n型Al<sub>0.15</sub>Ga<sub>0.85</sub>Nクラット層
- 68 n型GaN光ガイド層
- 69 10周期の多重量子井戸構造活性層
- 70 p型Al<sub>0.2</sub>Ga<sub>0.8</sub>N層
- 71 p型GaN光ガイド層
- 72 p型Al<sub>0.15</sub>Ga<sub>0.85</sub>Nクラット層
- 73 p型GaNコンタクト層
- 74 Ti-Alのn型電極
- 75 Ni-Auのp型電極

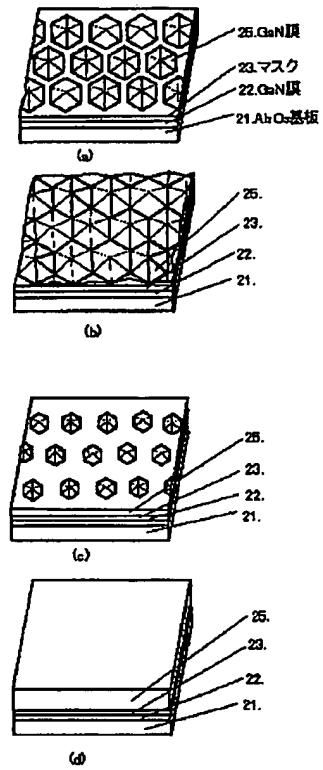
【図1】



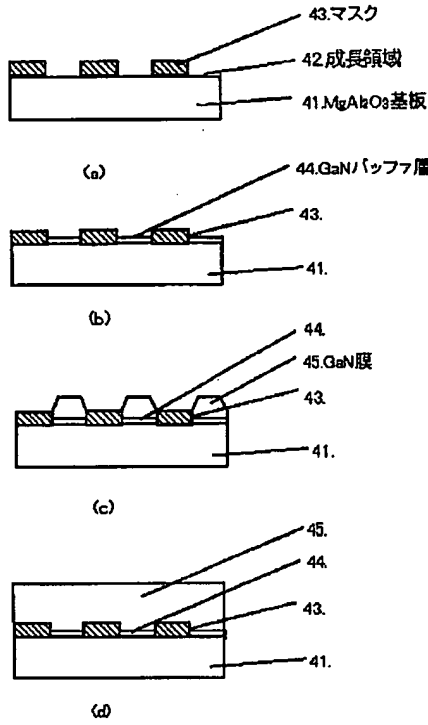
【図2】



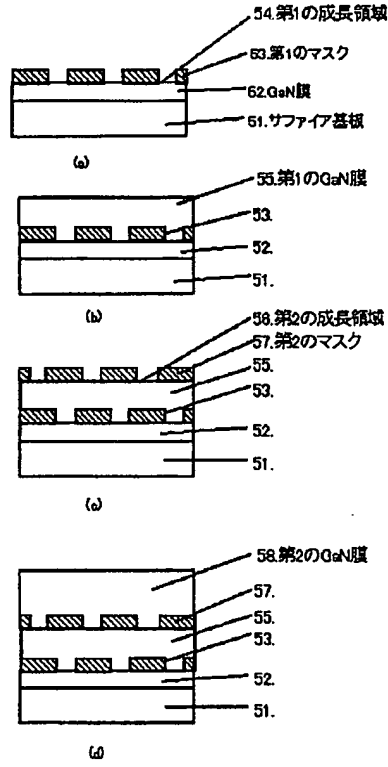
【図3】



【図4】



【図5】



【図6】

